



Powerlink Microelectronics

## PL3323CS

高精度恒压/恒流、原边控制  
PWM功率开关

### 芯片概述:

PL3323CS 是一系列高效率、高集成度、原边调节的 PWM 功率开关，其主要应用于小于 7.5W 的 AC/DC 反激式开关电源。PL3323CS 通过去除光耦以及次级控制电路，简化了充电器/适配器等传统的恒流/恒压的设计，从而实现高精度的电压和电流调节，调节波形如下图 1 所示。

复合模式的应用使得芯片能够实现低静态功耗、低音频噪音、高效率。而且高集成的功率 MOSFET 能够降低外部 PCB 的面积以及系统的成本。

PL3323CS 同时具有多种保护功能：逐周期峰值电流检测、欠压保护、过压保护等。

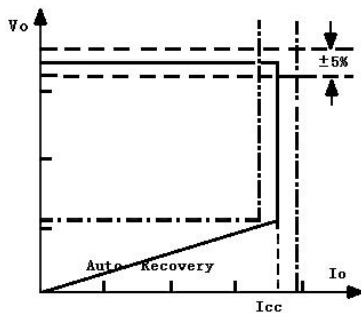
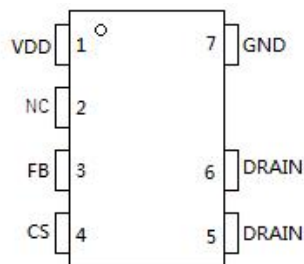


图 1 典型的恒流/恒压波形

### 管脚分布图:



PL3323CS

### 主要特点:

- 内置高集成度的功率MOSFET
- +/-5%恒压调节
- 全电压范围内实现高精度电流调节
- 去除光耦和次级控制电路
- 内置高精度恒流调节的线电压补偿
- 内置变压器电感补偿
- 可编程的输出线补偿
- 内置可提高效率的自适应多模式

#### PWM/PFM控制

- 低启动电流
- 内置软启动
- 内置前沿消隐
- 逐周期电流限制
- 欠压保护
- 内置输出过压保护
- 良好的动态响应

### 应用:

- 手机/无绳电话充电器
- 数码相机充电器
- 小功率电源适配器
- 消费类的备用电源



## 1 概要

PL3323CS是款恒流/恒压原边控制的高性能离线反激式开关电源，仅需少数的外部元件，其内部集成了包括功率MOSFET以及原边控制模块等高压功率调节器。

PL3323CS适用于小于7.5W的AC/DC应用场合，其无需光耦以及次级控制电路就能实现高精度的恒流/恒压功能。系统稳态时也无需额外的补偿电路，从而能够得到精准的电压/电流控制。

PL3323CS的复合模式的应用使得芯片能够实现

低静态功耗、低音频噪音、高效率。在恒流模式以及系统重载下，芯片会工作在PFM模式，系统正常时，PL3323CS工作在PWM模式。这种绿色模式会大大提高系统的效率，同时能够节省能耗。

多种保护功能集成在芯片内部以保护芯片出现异常状态，主要包括：OCP、UVLO、OVP等，系统发生异常时，芯片将被保护，直到系统恢复正常状态。

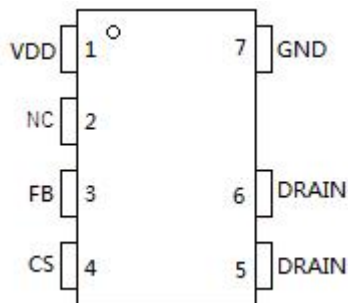
PL3323CS提供SOP7封装。

## 2 特性

- 内置高集成度的功率MOSFET
- $\pm 5\%$ 恒压调节
- 全电压范围内精准的恒流调节
- 去除光耦和次级恒流恒压控制电路
- 内置高精度恒流调节的线电压补偿
- 内置变压器电感补偿
- 可编程的输出线补偿
- 可提高效率的自适应多模式PWM/PFM控制
- 低启动电流
- 内置软启动
- 内置前沿消隐
- 限流保护
- 过压保护
- 良好的动态响应
- 欠压保护

### 3 管脚分布图

管脚图如下图所示：



PL3323CS

### 4 管脚描述

管脚名	描述
VDD	芯片电源输入
NC	浮空脚
FB	通过电阻分压连接到辅助绕组，该管脚用于检测输出信号并调节芯片的恒流/恒压
CS	通过检测连接CS到地电阻的电压来反映原边电感电流
DRAIN	高压MOSFET的漏端，连接到变压器
GND	芯片地

## 5 最大额定值

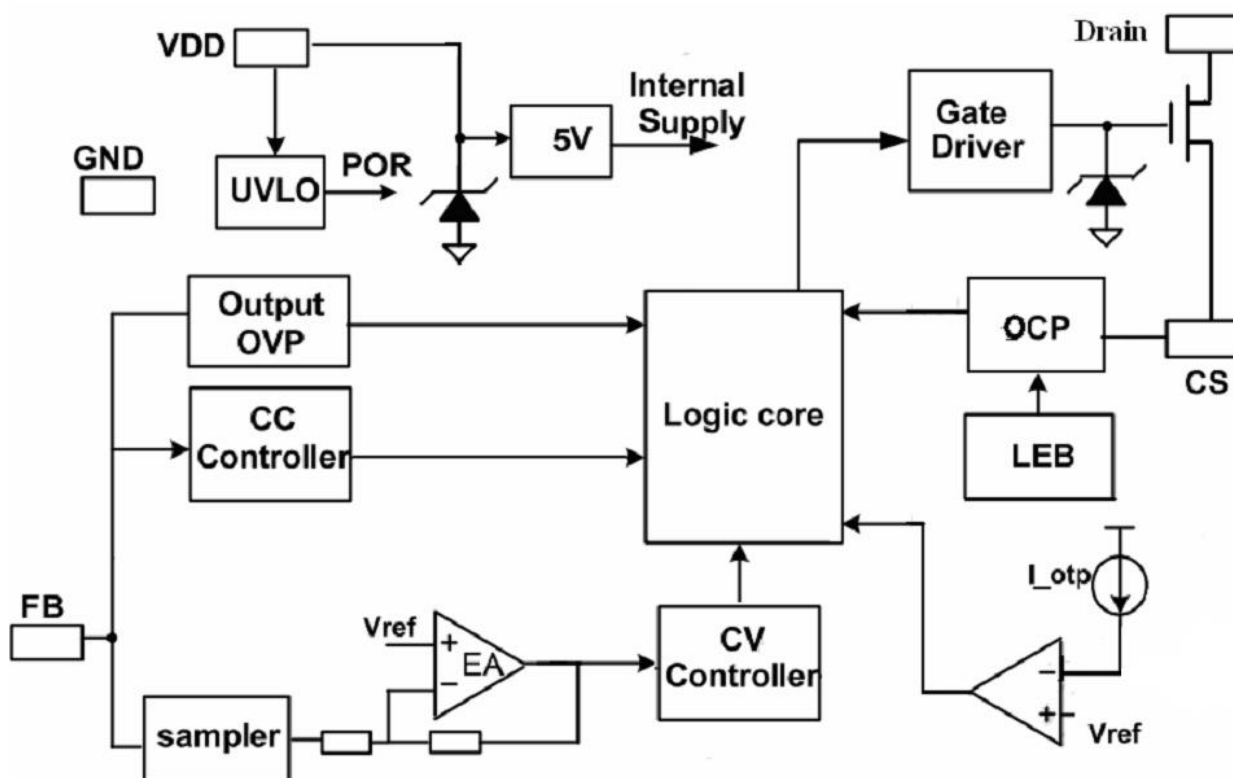
参数	符号	范围	单位
VDD 电压	VDD	-0.3 到 30	V
CS 输入	CS	-0.3 到 5	V
FB 输入	FB	-0.3 到 5	V
最大工作结	Tjmax	150	°C
存储温度	Tsto	-55 到 150	°C
焊接温度(Soldering,10secs)	Tlea	260	°C

**注释：**超过最大额定值可能损毁器件；超过推荐工作范围的芯片功能特性不能保证；长时间工作于最大额定条件下可能会影响器件的稳定性。

## 6 推荐工作条件

参数	最小	最大	单位
工作温度	-40	+105	°C

## 7 结构框图

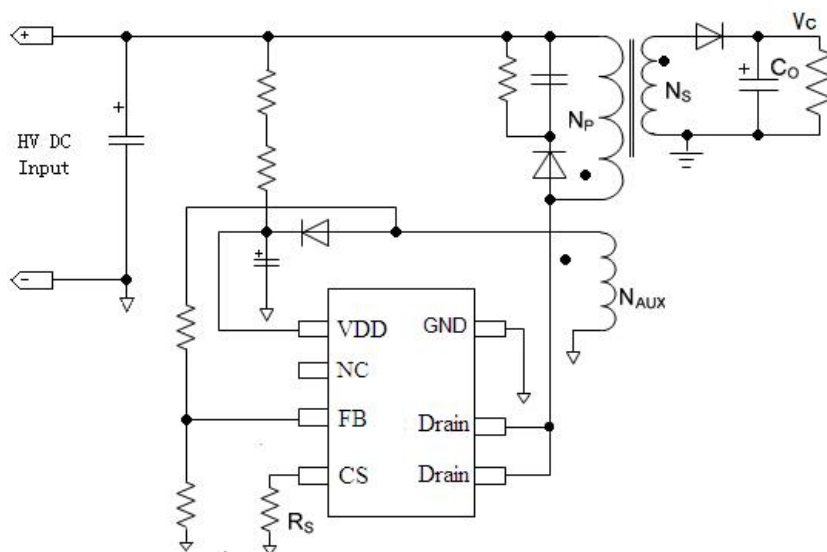


## 8 电气特性

(无特殊说明, 其测试条件为: VDD =16V, TA = 25℃)

参数	符号	测试条件	最小	典型	最大	单位
<b>电源电压 (VDD)</b>						
启动电流	I <sub>DD_sd</sub>	VDD=16V		5	20	uA
工作电流	I <sub>DD_op</sub>	FB=2V, CS=0V, VDD=20V		1	1.5	mA
VDD 进入欠压阈值	UVLO(ON)	VDD 下降	6	7		V
VDD 退出欠压阈值	UVLO(OFF)	VDD 上升		15	17	V
VDD 过压保护阈值	VDD_OVP			27		V
<b>电流检测 (SENSE)</b>						
导通 LEB 时间	TLEB			300		ns
过流阈值	Vocp			500		mV
<b>恒流/恒压控制 (CC/CV)</b>						
EA 的基准电压	Vref_EA		2.465	2.5	2.535	V
最小关断时间	Toff_min			2		us
最小频率	F_min			550		Hz
最大频率	F_max		120			kHz
最大输出线补偿电流	Icable_max			48		uA
过压阈值	Vfb_ovp			3		V
<b>片上过温检测 (OTP)</b>						
进入过温保护	T_otp			150		℃
<b>功率 MOSFET</b>						
MOSFET 漏源击穿电压	BVdss		650			V
导通电阻	Rdson	Id=0.5A/VGS=10 V		8		Ω

## 9 典型应用



PL3323CS

### 应用说明:

PL3323CS 为小功率的适配器/充电器应用提供了很有效的解决方案,其新颖的恒流/恒压控制使得系统不需要次级反馈电路,并能实现高精度的恒流/恒压输出,从而满足更严格的能源损耗要求。

### 9.1 启动电流和工作电流

PL3323CS 具有低的启动电流,因而可以采用大的启动电阻以及小的 VDD 电容以降低应用中的功率损耗。

PL3323CS 的工作电流小至 1mA,再加上特有的复合模式控制,从而提高了系统的效率,特别是系统处于轻载条件下。

### 9.2 VDD 欠压保护

PL3323CS 内部集成 VDD 检测电路,系统上电后,当 VDD 端电压超过芯片的阈值电压时,芯片开始工作并输出 PWM 信号,进而驱动功率 MOS 管。为了防止 VDD 上升过程中抖动对芯片的影响,内部设置了阈值迟滞。芯片的上升阈值和下降阈值典型值为 15V 和 7V。

### 9.3 恒压/恒流调节

恒压/恒流的调节主要是基于系统工作在 DCM 模式。

工作于 DCM 模式的反激式开关电源,可以通过

辅助绕组来采样输出电压。功率管导通时,原边电流逐步增加,功率管关闭后,原边电流传输到次级,并形成次级电流  $I_{Spk}$ 。

$$I_{Spk} = \frac{N_P}{N_S} \cdot I_{Ppk} \quad (1)$$

$I_{Ppk}$  为功率管关闭后的原边峰值电流。

通过次级绕组和辅助绕组之间的耦合,输出电压可以下式得到:

$$V_o = \frac{N_S \cdot V_{aux}}{N_{aux}} - \Delta V \quad (2)$$

$V_{aux}$  是辅助绕组的电压,  $\Delta V$  是次级二极管的压降。

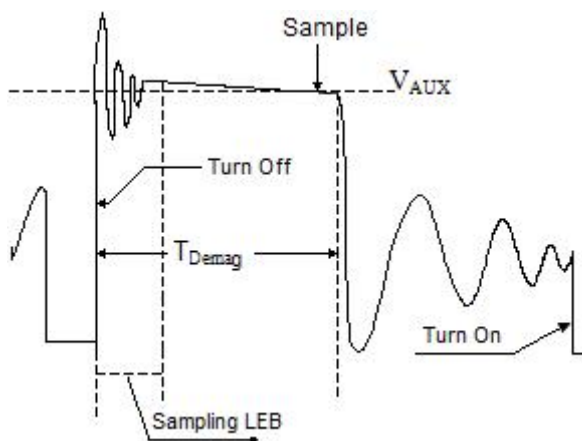


图 2 辅助绕组电压波形

基于内部的时序控制，辅助绕组的电压可以通过对连接于辅助绕组和 FB 之间的分压电阻采样得到。在恒压工作模式中，内部误差放大器对采样的电压进行调节，从而得到恒定的输出电压。在恒流工作模式中，不管系统的输出电压大小，芯片会保持输出电流恒定。

#### 9.4 可编程恒流点及输出功率

在小于 7.5W 的应用中，CS 端不同的采样电阻会得到不同的恒流点。输出功率的大小可通过调节 CS 端的采样电阻实现，采样电阻越大，恒流点越小，同时输出功率也越小。

#### 9.5 开关频率及电感补偿

PL3323CS 的开关频率大小取决于系统负载状态

以及芯片工作模式。恒压模式中芯片通常工作在最大频率。假设系统的效率是 100%，那么输出功率可由下式给出：

$$P_o = \frac{1}{2} L_m f_{sw} I_{Ppk}^2 = V_o \cdot I_o \quad (3)$$

$L_m$  是原边绕组的电感值， $I_{Ppk}$  是原边绕组的峰值电流。

从上式中可看出， $L_m$  的变化会导致功率的变化，同时也影响恒流模式中的输出电流的恒定性，在大规模应用中会使得芯片的一致性变差。为了降低原边绕组电感量变化产生的效应，芯片内置了补偿电路，使得电感值和频率的乘积恒定，并矫正电感量的误差，从而得到准确的恒流点。

#### 9.6 可编程的输出线补偿

由原边反馈原理可知，输出电压通过辅助绕组采样得到，这样会影响恒压的精度，为提高负载调节率，芯片内置了输出线补偿电路，那么系统在空载和满载状态时，输出电压可保持恒定。

不同的应用中，通过调节连接于 FB 端的分压电阻可得到不同的线补偿量，FB 端的分压电阻越大，那么补偿量也越大。

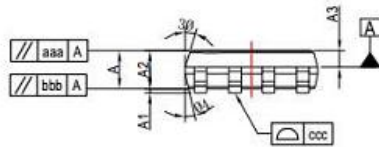
#### 9.7 保护功能

PL3323CS 内置了多种保护功能，包括：逐周期限流保护，欠压保护，开路保护等。

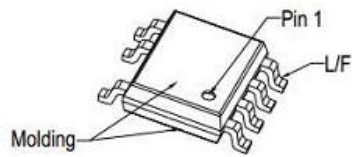
当 PL3323CS 的 VDD 电压下降到 UVLO(ON)，芯片将不工作，同时会进入重启状态。

## 10 封装

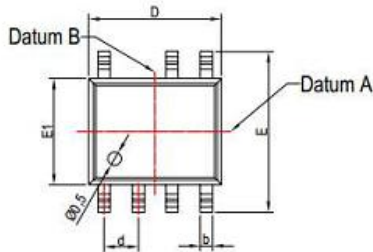
## SOP7



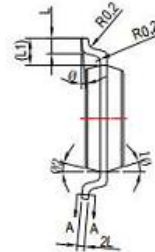
Top View



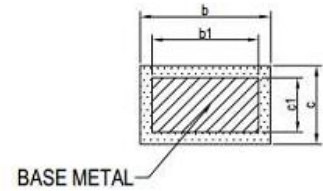
ISO View



Front View



Right View



SECTION A-A

Dimensional References unit:mm

Ref.	MIN	NOM	MAX	Ref.	MIN	NOM	MAX
A	1.35	1.55	1.75	E1	3.8	3.9	4.0
A1	0.10	0.15	0.25	L	0.45	0.60	0.80
A2	1.25	1.40	1.65	L1	1.04 REF		
A3	0.5	0.6	0.7	L2	0.25 BSC		
b	0.38	/	0.51	R	0.07	/	/
b1	0.37	0.42	0.47	R1	0.07	/	/
c	0.17	/	0.25	Φ	0°	/	8°
c1	0.17	0.20	0.23	Φ1	15°	17°	19°
D	4.8	4.9	5.0	Φ2	11°	13°	15°
d	1.27 BSC			Φ3	15°	17°	19°
E	5.8	6.0	6.2	Φ4	11°	13°	15°
aaa	0.10			bbb	0.10		
ccc	0.10						

## 11 注意事项

聚元有权在任何时刻修改其产品信息，恕不另行通知；客户在下订单前应确保产品信息的及时更新和完整性。